

Logikgatter mit potentialfreier Gate-Elektrode für organische integrierte Schaltungen

5

Das technische Gebiet der Erfindung betrifft organische Logikgatter wie beispielsweise ANDs, NANDs, NORs und dergleichen. Die vorliegende Erfindung betrifft weiterhin das Problem der Schaltzeiten und der Schaltstabilität von
10 organischen Logikgattern.

Dieses Problem wird bisher nur teilweise durch Verbinden der Gate-Elektrode des Lade-FETs im Logikgatter mit der Versorgungsspannung gelöst, wodurch schnelle Logikgatter
15 bereitgestellt werden können. Diese Lösung erfordert jedoch eine hohe Versorgungsspannung von über 20V. Diese Maßnahme zur Verbesserung des Schaltverhaltens von organischen Logikgattern ist beispielsweise in dem Artikel „Fast polymer integrated circuits“ der Applied Physics Letters, Ausgabe 81,
20 Seite 1735, (2002) beschrieben.

Ein anderer Ansatz wird beispielsweise in dem Artikel „High-performance all-polymer integrated circuits“ Applied Physics Letters, Ausgabe 77, Seite 1487, (2000) beschrieben. In
25 diesem Artikel wird beschrieben, dass die Gate-Elektrode des Lade-FETs mit dem Ausgang des Inverters bzw. des Logikgatters verbunden werden kann. Damit erhält man Schaltungen, die mit niedrigen Spannungen betrieben werden können, jedoch den Nachteil aufweisen, dass sie sehr langsam sind.

30

Es wurden bisher keine organischen Logikgatter-Schaltungen verwirklicht, die auch mit geringen Versorgungsspannungen schnell und stabil schalten können..

35 Es ist aus Gründen der Energieeffizienz wünschenswert die Versorgungsspannungen von organischen Logikgatter-Schaltungen auch bei einem schnellen Betrieb von organischen Schaltungen

zu senken, ohne dabei die Schaltstabilität zu beeinträchtigen.

Es ist weiterhin wünschenswert, die Schaltzeiten von
5 organischen Logikgatter-Schaltungen zu verringern, ohne die Versorgungsspannung erhöhen zu müssen.

Es ist darüber hinaus wünschenswert, die Schaltstabilität von organischen Schaltungen zu erhöhen, ohne dabei die Schalt-
10 zeiten zu beeinträchtigen oder die Versorgungsspannungen zu erhöhen.

Die Erfindung stellt gemäß einem ersten Aspekt ein organisches Logikgatter mit mindestens einem Lade-FET und
15 mindestens einem Schalt-FET bereit. Der (mindestens eine) Lade-FET weist dabei mindestens eine Gate-Elektrode, eine Source-Elektrode und eine Drain-Elektrode auf. Das erfindungsgemäße organische Logikgatter ist dabei dadurch gekennzeichnet, dass die Gate-Elektrode des Lade-FETs
20 potentialfrei ist.

Durch Verwenden einer potentialfreien Elektrode kann ein schnell und gleichzeitig stabil schaltendes organisches Logikgatter aufgebaut werden.

25 In einer vorteilhaften Ausführungsform des organischen Logikgatters ist die Gate-Elektrode des Lade-FETs kapazitiv an eine Source-Elektrode des Lade-FETs gekoppelt. In einer anderen vorteilhaften Ausgestaltung des organischen
30 Logikgatters ist die Drain-Elektrode des Lade-FETs kapazitiv an eine Gate-Elektrode des Lade-FETs gekoppelt. Damit kann mit relativ geringem Aufwand die Gate-Elektrode an eine der anderen Anschlüsse des Lade-FETs gekoppelt werden, um das Schaltverhalten des Logikgatters zu verbessern. Die
35 kapazitive Kopplung zwischen Gate-Elektrode und einem der anderen Anschlüsse des FET's gestattet es, bei geeigneter Auslegung des Lade-FETs und der Kopplungskapazität, die

Schalteigenschaften des Logikgatters zu verbessern. Die vorliegende Erfindung gestattet es organischen Logikgattern, auch bei niedrigen Versorgungsspannungen (unter 10V) schnell und stabil zu funktionieren bzw. zu schalten.

5

In einer weiteren vorteilhaften Ausgestaltung der Erfindung wird die kapazitive Kopplung durch eine Überlappung der Gate-Elektrode mit der Source-Elektrode des Lade-FETs erreicht. In einer anderen vorteilhaften Ausgestaltung der Erfindung wird
10 die kapazitive Kopplung durch eine Überlappung der Gate-Elektrode mit der Drain-Elektrode des Lade-FETs erreicht. Die Ausführung einer kapazitiven Kopplung kann durch einen leicht erhöhten Schaltungsdesign-Aufwand erhalten werden, ohne dass bei der Herstellung zusätzliche Arbeits- oder Prozessschritte
15 eingeführt werden müssen. Durch den Platzbedarf der kapazitiven Kopplung bzw. des Koppelkondensators kann der Platzbedarf eines Logikgatters ansteigen..

Eine andere vorteilhafte Ausgestaltung eines organischen
20 Logikgatters ist ohne Durchkontaktierungen aufgebaut. Bei einer kapazitiven Kopplung zwischen Gate-Elektrode und Source- oder Drain-Elektrode eines Lade-FETs kann auf eine galvanische Kopplung zwischen den beiden Elektroden verzichtet werden. In den beiden vorstehenden Fällen kann auf
25 eine Durchkontaktierung der Isolationsschicht zwischen Gate-Elektrode und Source- bzw. Drain-Elektrode vollständig verzichtet werden. Dadurch kann der Herstellungsprozess vereinfacht werden. Darüber hinaus kann die Ausbeute erhöht werden, da weniger bzw. keine schadhaften
30 Durchkontaktierungen auftreten.

In einer weiteren vorteilhaften Ausgestaltung der vorliegenden Erfindung ist die Gate-Elektrode des Lade-FETs resistiv an die Drain-Elektrode und/oder die Source Elektrode
35 des Lade-FETs gekoppelt. Im einfachsten Fall entsteht dadurch eine galvanische Kopplung zwischen der (mindestens einer) Gate-Elektrode und einem der Anschlüsse des Lade-FETs. Die

galvanische Kopplung kann durch Durchkontaktierungen durch die Isolationsschicht des FETs oder durch Leiterbahnen verwirklicht werden, die über einen Bereich der (eventuell aufgedruckten) Isolatorschicht hinausgehen und dort einen Kontakt bilden. Diese Auslegung weist einen weiteren Vorteil auf, da durch eine geeignete Wahl der Länge, der Breite sowie der Überdeckung der Leiterbahnen bis zu einem Randbereich der Isolatorschicht die Kapazität und der Widerstand der resistiven Kopplung eingestellt werden können.

10

In einer anderen bevorzugten Ausführungsform der Erfindung ist die Gate-Elektrode des Lade-FETs, parallel zu der kapazitiven Kopplung, resistiv an die Source-Elektrode des Lade-FETs gekoppelt. Bei einer anderen vorteilhaften Ausführungsform der vorliegenden Erfindung ist die Gate-Elektrode des Lade-FETs, parallel zu der kapazitiven Kopplung, resistiv an die Drain-Elektrode des Lade-FETs gekoppelt. Durch die Kombination einer Kapazität mit einem Widerstand wird ein RC-Glied aufgebaut, das der Kopplung des Lade-FETs ein Zeitverhalten aufprägt, das die Schaltzeit des Lade-FETs positiv beeinflussen kann. Bei der Auslegung des RC-Glieds ist jedoch die Eigenkapazität des FETs zu berücksichtigen.

25 Im Folgenden wird die Erfindung anhand der beigefügten Zeichnung beschrieben, wobei

Fig. 1 eine Ausführungsform eines Logikgatters mit einem Lade-FET mit einer potentialfreien Gate-Elektrode darstellt,

30

Fig. 2 eine Ausführungsform eines Inverters mit einem Lade-FET mit einer mit dem Ausgang kapazitiv gekoppelten Gate-Elektrode darstellt,

35 Fig. 3 eine Ausführungsform eines Inverters mit einem Lade-FET und einer mit dem Ausgang kapazitiv gekoppelten Gate-Elektrode darstellt, und

Fig. 4 stellt eine Schnittansicht durch einen Lade-FET gemäß einer Ausführungsform der vorliegenden Erfindung dar.

- 5 Sowohl in der Beschreibung als auch in den Figuren wurden gleiche Bezugszeichen für gleiche oder ähnliche Elemente verwendet.

Fig. 1 stellt eine Ausführungsform eines Logikgatters mit
10 einem Lade-FET mit einer potentialfreien Gate-Elektrode dar. Das gewählte Logikgatter ist hier als Inverter ausgeführt, da der Inverter als der einfachste Baustein die Vorteile der vorliegenden Erfindung am deutlichsten darstellen kann. Die Figur 1 zeigt die Reihenschaltung zweier Transistoren 2 und 4
15 zu einem Inverter. Der Transistor 2 ist dabei der Schalttransistor und der Transistor 4 ist der Ladetransistor. In Figur 1 ist die Source-Elektrode 6 des Schalt-FETs 2 geerdet. Die Drain-Elektrode ist mit dem Ausgang 12 des Inverters verbunden. Die Gate-Elektrode 10 des Schalttransistors 2
20 bildet den Eingang des Inverters. Die Source- und die Drain-Elektrode des Ladetransistors 4 verbinden den Ausgang 12 des Inverters mit der Versorgungsspannung 8.

Fig. 2 stellt eine Ausführungsform eines Inverters mit einem
25 Lade-FET mit einer mit dem Ausgang kapazitiv gekoppelten Gate-Elektrode dar. In Figur 2 ist die Gate-Elektrode des Lade-FETs 4 durch die Kapazität 14 mit dem Ausgang 12 gekoppelt. Die Kapazität 14 kann beispielsweise durch Überlappung der Gate-Elektrode mit der Source- bzw. Drain-
30 Elektrode umgesetzt werden. Die kapazitive Kopplung durch den Kondensator 14 kann, wie dargestellt, durch eine Parallelschaltung mit einem Widerstand 18 ergänzt werden.

In Fig. 3 ist eine Ausführungsform eines Inverters mit einem
35 Lade-FET mit einer mit dem Ausgang kapazitiv gekoppelten Gate-Elektrode darstellt. In Figur 3 ist die Gate-Elektrode des Lade-FETs 4 durch die Kapazität 16 mit der

Versorgungsspannung 8 gekoppelt. Die Kapazität 16 kann beispielsweise durch Überlappung der Gate-Elektrode mit der Source- bzw. Drain-Elektrode implementiert werden. Die kapazitive Kopplung durch den Kondensator 16 kann, wie
5 dargestellt, durch einen parallel geschalteten Widerstand 18 ergänzt werden.

Alle anderen möglichen Logikgatter wie beispielsweise AND, NAND, OR, NOR, XOR und dergleichen lassen sich aus der
10 Inverterschaltung durch Hinzufügen von in Reihe oder parallel geschalteten (Schalt-) FETs umsetzen und werden daher nicht explizit aufgeführt.

Figur 4 stellt einen Querschnitt durch einen Lade-FET gemäß
15 der vorliegenden Erfindung dar. Der Lade-FET ist auf einem Trägermaterial bzw. einem Substrat 22 aufgebracht. Das Substrat 22 kann beispielsweise aus Glas, Kunststoff, einem Kristall oder einem ähnlichen Material bestehen.

20 Auf dem Substrat 22 sind zwei Elektroden 8 und 12 des Lade-FETs aufgebracht. Eine der Elektroden 8, 12 ist die Source-Elektrode und eine Elektrode ist die Drain-Elektrode. Je nach Wahl der Elektroden ergibt sich eine Schaltung gemäß Figur 2 oder Figur 3.

25 Die beiden Elektroden 8, 12 sind durch eine Halbleiterschicht 24 verbunden. Über der Halbleiterschicht 24 ist eine Isolatorschicht 26 angeordnet. Über der Isolatorschicht 24 ist die Gate-Elektrode 20 angeordnet. Der Bereich 4 definiert dabei im Wesentlichen den Ladetransistor und der Bereich 16 definiert im Wesentlichen den Bereich der kapazitiven
30 Kopplung zwischen der Gate-Elektrode 20 und der Elektrode 8. Mit den dargestellten Bezugszeichen stellt der Schnitt eine mögliche Umsetzung des Lade-FETs der Inverterschaltung von
35 Fig. 3 dar. Bei einer anderen Zuordnung der Bezugszeichen lässt sich der dargestellte Schnitt auch auf die Inverterschaltung von Fig. 2 anwenden.

Die in Figuren 2 und 3 dargestellten Widerstände 18 sind in Figur 4 nicht dargestellt und können beispielsweise durch Durchkontaktierungen durch die Schicht 26 zwischen den Elektroden 8 und 20 verwirklicht werden.

Es ist klar, dass auch Logikgatter-Schaltungen mit mehr als einem Lade-FET d. h. beispielsweise Kombinationen z. B. Parallel- oder Reihenschaltungen von Lade-FETs gemäß Fig. 2 und Fig. 3 auch unter die vorliegende Erfindung fallen.

Es ist weiterhin klar, dass sich die vorliegende Erfindung auch auf tristate Logikgatter anwenden lässt. Es ist klar, dass die Anschlüsse 6 und 8 auch vertauscht werden können.

Patentansprüche

1. Organisches Logikgatter mit mindestens einem Lade-
Feldeffekttransistor (Lade-FET) und mindestens einem
5 Schalt-Feldeffekttransistor (Schalt-FET), wobei der Lade-
FET mindestens eine Gate-Elektrode, eine Source-Elektrode
und eine Drain-Elektrode aufweist, dadurch
gekennzeichnet, dass die Gate-Elektrode des Lade-FETs
potentialfrei ist.
10
2. Organisches Logikgatter gemäß Anspruch 1, dadurch
gekennzeichnet, dass die Gate-Elektrode des Lade-
FETs kapazitiv an die Source-Elektrode des Lade-FETs
gekoppelt ist.
15
3. Organisches Logikgatter gemäß Anspruch 2, dadurch
gekennzeichnet, dass eine kapazitive Kopplung durch
eine Überlappung der Gate-Elektrode mit der Source-
Elektrode des Lade-FETs erreicht wird.
20
4. Organisches Logikgatter gemäß einem der vorstehenden
Ansprüche, dadurch gekennzeichnet, dass die Gate-
Elektrode des Lade-FETs resistiv an die Source-Elektrode
des Lade-FETs gekoppelt ist.
25
5. Organisches Logikgatter gemäß einem der vorstehenden
Ansprüche, dadurch gekennzeichnet, dass die Gate-
Elektrode des Lade-FETs kapazitiv an die Drain-
Elektrode des Lade-FETs gekoppelt ist.
30
6. Organisches Logikgatter gemäß Anspruch 5, dadurch
gekennzeichnet, dass die kapazitive Kopplung durch
eine Überlappung der Drain-Elektrode mit der Gate-
Elektrode des Lade-FETs erreicht wird.
35
7. Organisches Logikgatter gemäß einem der vorstehenden
Ansprüche, dadurch gekennzeichnet, dass die Gate-

Elektrode des Lade-FETs resistiv an die Drain-Elektrode des Lade-FETs gekoppelt ist.

8. Organisches Logikgatter gemäß einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das organische Logikgatter ohne Durchkontaktierungen aufgebaut ist.

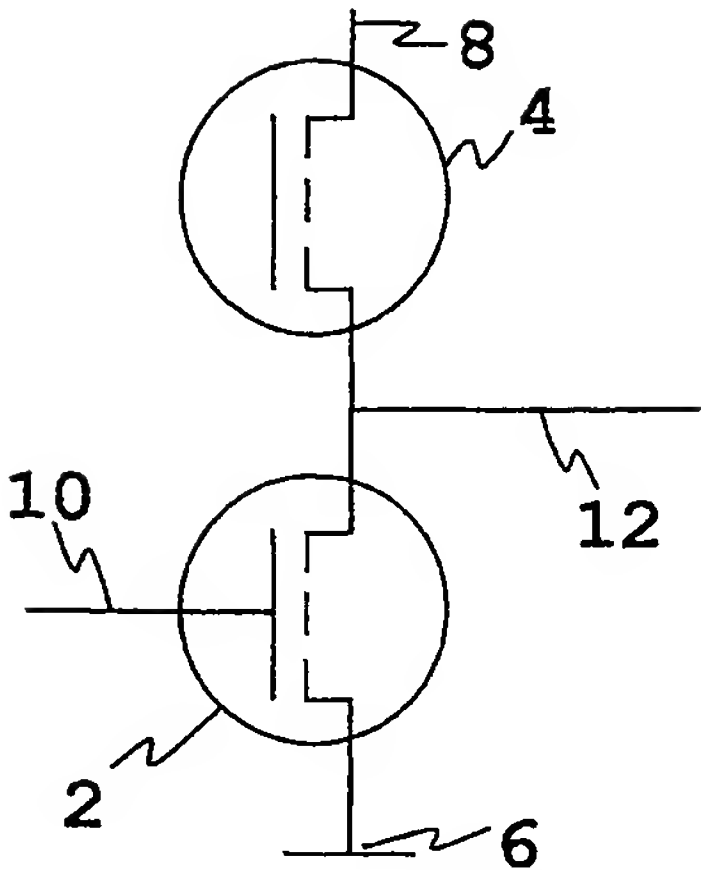


Fig. 1

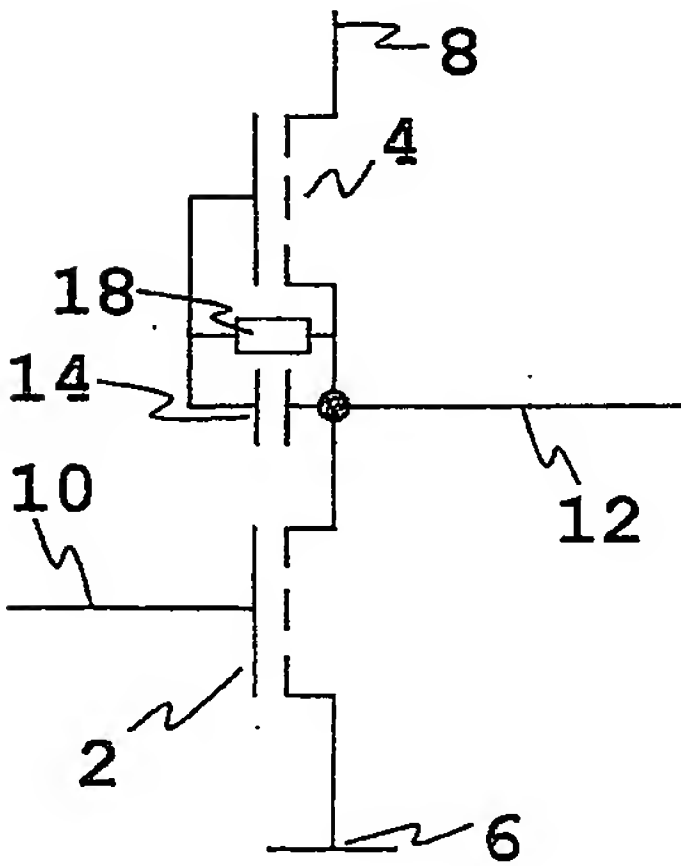


Fig. 2

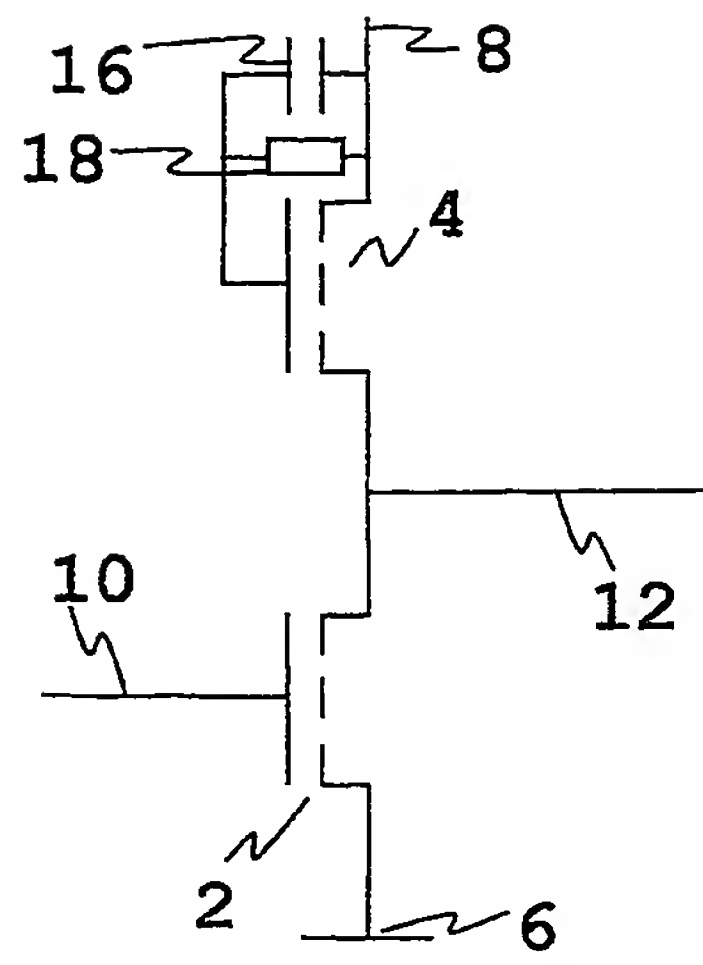


Fig. 3

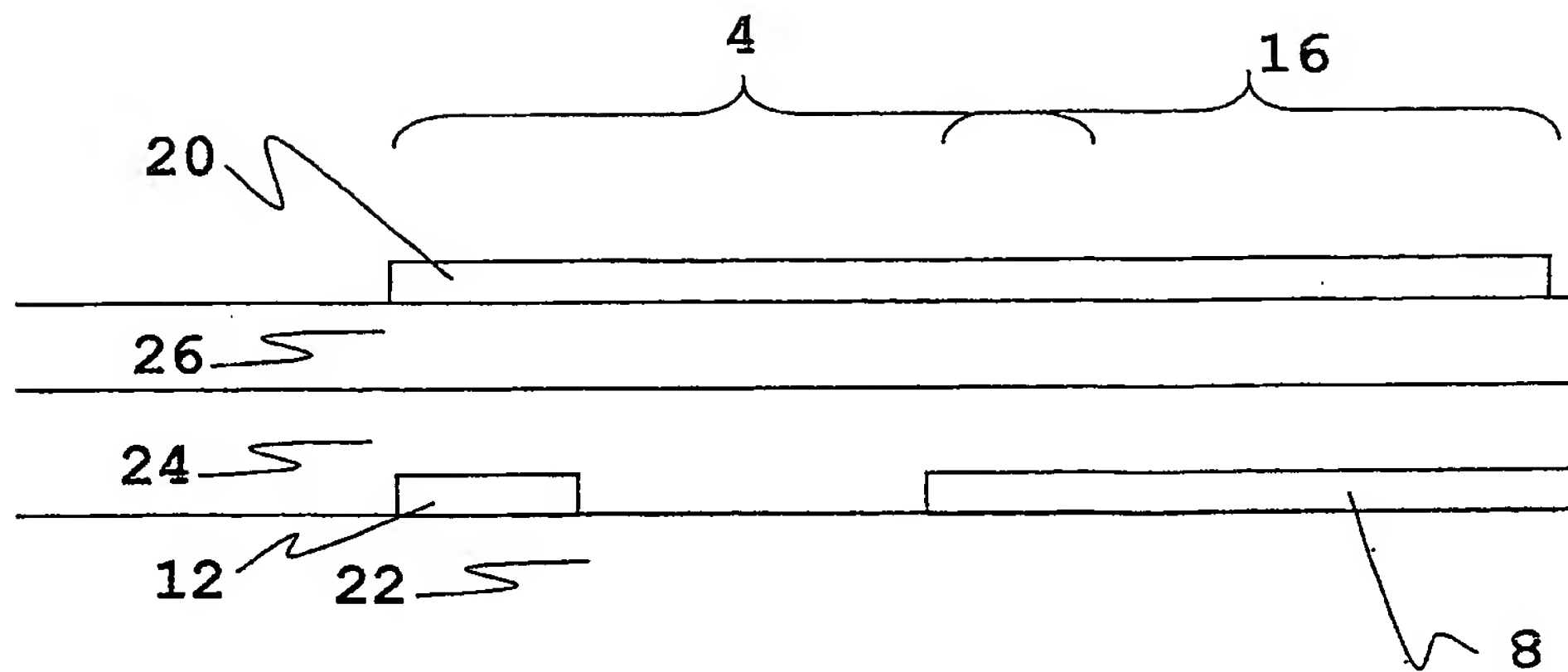


Fig. 4

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2004/001376

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L27/28 H03K19/08 H03K19/094 H03K19/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	ULLMANN A ET AL: "HIGH PERFORMANCE ORGANIC FIELD-EFFECT TRANSISTORS AND INTEGRATED INVERTERS" MATERIALS RESEARCH SOCIETY SYMPOSIUM PROCEEDINGS, MATERIALS RESEARCH SOCIETY, PITTSBURG, PA, US, vol. 665, 20 April 2001 (2001-04-20), pages 265-270, XP008032774 ISSN: 0272-9172 page 269; figure 5	1-8
X	US 3 955 098 A (KAWAMOTO HIROSHI) 4 May 1976 (1976-05-04) the whole document	1-8

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

14 October 2004

Date of mailing of the international search report

25/10/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wolfbauer, G

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2004/001376

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 0030, no. 90 (E-127), 31 July 1979 (1979-07-31) & JP 54 069392 A (NEC CORP), 4 June 1979 (1979-06-04) abstract; figures 2,3 -----	1-8
X	GELINCK G H ET AL: "High-performance all-polymer integrated circuits" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 77, no. 10, 4 September 2000 (2000-09-04), pages 1487-1489, XP012026061 ISSN: 0003-6951 cited in the application the whole document -----	1-8
X	FICKER J ET AL: "DYNAMIC AND LIFETIME MEASUREMENTS OF POLYMER OFETS AND INTEGRATED PLASTIC CIRCUITS" PROCEEDINGS OF THE SPIE, SPIE, BELLINGHAM, VA, US, vol. 4466, 2001, pages 95-102, XP001197302 ISSN: 0277-786X page 99 - page 102; figures 6-8 -----	1-8
L,P, X	WO 03/081671 A (FICKER JUERGEN ; FIX WALTER (DE); SIEMENS AG (DE); ULLMANN ANDREAS (DE) 2 October 2003 (2003-10-02) L: Priority for subject-matter of claim 1 the whole document -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2004/001376

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 3955098	A	04-05-1976	JP 973776 C	28-09-1979
			JP 50066143 A	04-06-1975
			JP 54003594 B	24-02-1979
			DE 2413142 A1	17-04-1975
			GB 1479164 A	06-07-1977
<hr/>				
JP 54069392	A	04-06-1979	NONE	
<hr/>				
WO 03081671	A	02-10-2003	DE 10212640 A1	23-10-2003
			WO 03081671 A2	02-10-2003
<hr/>				

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2004/001376

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L27/28 H03K19/08 H03K19/094 H03K19/02		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RESEARCHIERTE GEBIETE Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L H03K		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data, PAJ, INSPEC		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	ULLMANN A ET AL: "HIGH PERFORMANCE ORGANIC FIELD-EFFECT TRANSISTORS AND INTEGRATED INVERTERS" MATERIALS RESEARCH SOCIETY SYMPOSIUM PROCEEDINGS, MATERIALS RESEARCH SOCIETY, PITTSBURG, PA, US, Bd. 665, 20. April 2001 (2001-04-20), Seiten 265-270, XP008032774 ISSN: 0272-9172 Seite 269; Abbildung 5	1-8
X	US 3 955 098 A (KAWAMOTO HIROSHI) 4. Mai 1976 (1976-05-04) das ganze Dokument	1-8
-/--		
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen		
<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 14. Oktober 2004		Absendedatum des internationalen Recherchenberichts 25/10/2004
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Wolfbauer, G

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2004/001376

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN Bd. 0030, Nr. 90 (E-127), 31. Juli 1979 (1979-07-31) & JP 54 069392 A (NEC CORP), 4. Juni 1979 (1979-06-04) Zusammenfassung; Abbildungen 2,3 -----	1-8
X	GELINCK G H ET AL: "High-performance all-polymer integrated circuits" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, Bd. 77, Nr. 10, 4. September 2000 (2000-09-04), Seiten 1487-1489, XP012026061 ISSN: 0003-6951 in der Anmeldung erwähnt das ganze Dokument -----	1-8
X	FICKER J ET AL: "DYNAMIC AND LIFETIME MEASUREMENTS OF POLYMER OFETS AND INTEGRATED PLASTIC CIRCUITS" PROCEEDINGS OF THE SPIE, SPIE, BELLINGHAM, VA, US, Bd. 4466, 2001, Seiten 95-102, XP001197302 ISSN: 0277-786X Seite 99 - Seite 102; Abbildungen 6-8 -----	1-8
L,P, X	WO 03/081671 A (FICKER JUERGEN ; FIX WALTER (DE); SIEMENS AG (DE); ULLMANN ANDREAS (DE) 2. Oktober 2003 (2003-10-02) L: Priority for subject-matter of claim 1 das ganze Dokument -----	1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001376

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 3955098	A	04-05-1976	JP	973776 C	28-09-1979
			JP	50066143 A	04-06-1975
			JP	54003594 B	24-02-1979
			DE	2413142 A1	17-04-1975
			GB	1479164 A	06-07-1977

JP 54069392	A	04-06-1979	KEINE		

WO 03081671	A	02-10-2003	DE	10212640 A1	23-10-2003
			WO	03081671 A2	02-10-2003
